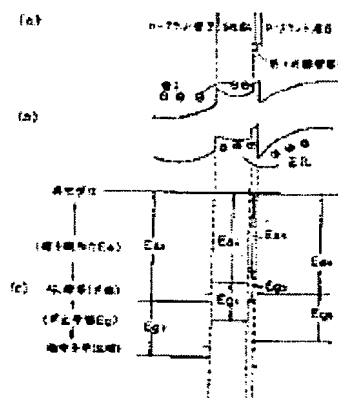
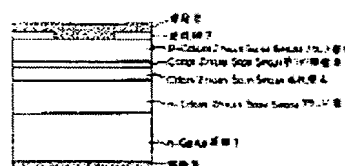


**SEMICONDUCTOR LIGHT EMITTING ELEMENT****Publication number:** JP3071679**Publication date:** 1991-03-27**Inventor:** SAKAI KAZUO; NISHIMURA KOUSUKE**Applicant:** KOKUSAI DENSHIN DENWA CO LTD**Classification:**- **international:** *H01L33/00; H01S5/00; H01S5/042; H01S5/32; H01L33/00; H01S5/00; (IPC1-7): H01L33/00; H01S3/18*- **European:** H01S5/32**Application number:** JP19890206656 19890811**Priority number(s):** JP19890206656 19890811[Report a data error here](#)**Abstract of JP3071679**

**PURPOSE:** To enable an active layer to confine enough injected carriers and to be improved in light emitting efficiency as satisfying a lattice matching condition with respect to a substrate by a method wherein a first barrier layer, which is thinner and smaller than the active layer in electron affinity, is arranged at the interface of a heterojunction between the active layer and a clad layer.

**CONSTITUTION:** A first barrier layer 5 formed of semiconductor, whose electron affinity  $E_a$  is smaller than that of an active layer 4 and is smaller than the layer 4 in thickness, is provided to an interface of the heterojunction between the active layer 4 and a clad layer 6. Therefore, lattice constants of a substrate 1, clad layers 2 and 6, the active layer 4, and the first barrier layer 5 are roughly matched with each other, and as the first barrier layer 5 is thin, the probability that holes subsist in it becomes small. Therefore, electrons injected into the active layers 4 can be restrained from overflowing to the P-side clad layer 6, so that electrons can be confined into the active layer 4. By this setup, a device high in efficiency and operable in the wavelength region of blue light can be obtained.



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-071679

(43)Date of publication of application : 27.03.1991

(51)Int.Cl.

H01L 33/00  
H01S 3/18

(21)Application number : 01-206656

(71)Applicant : KOKUSAI DENSHIN DENWA CO LTD &lt;KDD&gt;

(22)Date of filing : 11.08.1989

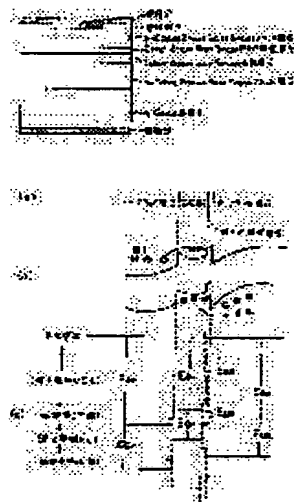
(72)Inventor : SAKAI KAZUO  
NISHIMURA KOUSUKE

## (54) SEMICONDUCTOR LIGHT EMITTING ELEMENT

## (57)Abstract:

PURPOSE: To enable an active layer to confine enough injected carriers and to be improved in light emitting efficiency as satisfying a lattice matching condition with respect to a substrate by a method wherein a first barrier layer, which is thinner and smaller than the active layer in electron affinity, is arranged at the interface of a heterojunction between the active layer and a clad layer.

CONSTITUTION: A first barrier layer 5 formed of semiconductor, whose electron affinity  $E_a$  is smaller than that of an active layer 4 and is smaller than the layer 4 in thickness, is provided to an interface of the heterojunction between the active layer 4 and a clad layer 6. Therefore, lattice constants of a substrate 1, clad layers 2 and 6, the active layer 4, and the first barrier layer 5 are roughly matched with each other, and as the first barrier layer 5 is thin, the probability that holes subsist in it becomes small. Therefore, electrons injected into the active layers 4 can be restrained from overflowing to the P-side clad layer 6, so that electrons can be confined into the active layer 4. By this setup, a device high in efficiency and operable in the wavelength region of blue light can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

AG

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A) 平3-71679

⑧ Int. Cl.<sup>8</sup>

H 01 L 33/00  
H 01 S 3/18

識別記号

A

庁内整理番号

7733-5F  
6940-5F

⑨ 公開 平成3年(1991)3月27日

審査請求 未請求 請求項の数 8 (全7頁)

⑩ 発明の名称 半導体発光素子

⑪ 特 願 平1-206656

⑫ 出 願 平1(1989)8月11日

⑬ 発 明 者 堺 和 夫 東京都新宿区西新宿2丁目3番2号 国際電信電話株式会社内

⑭ 発 明 者 西 村 公 佐 東京都新宿区西新宿2丁目3番2号 国際電信電話株式会社内

⑮ 出 願 人 国際電信電話株式会社 東京都新宿区西新宿2丁目3番2号

⑯ 代 理 人 弁理士 山本 恵一

明 細 書

1. 発明の名称

半導体発光素子

2. 特許請求の範囲

(1) 活性層の両側に、当該活性層の禁止帯幅より大なる禁止帯幅を有し、かつ互いに導電形の異なる半導体によるクラッド層が形成された半導体発光素子において、

前記活性層と少なくとも一方の前記クラッド層とのヘテロ接合部の境界に、前記活性層の電子親和力より小なる電子親和力を有し、かつ厚さが前記活性層の層厚よりも薄い半導体よりなる第1の障壁層が配置されて構成されていることを特徴とする半導体発光素子。

(2) 請求項第1項に加え、前記活性層と他方の前記クラッド層との境界に、該クラッド層の禁止帯幅と電子親和力の和より大なる禁止帯幅と電子親和力の和を有し、かつ厚さが前記活性層の層厚よりも薄い半導体よりなる第2の障壁層が配置されて構成されていることを特徴とする半導体発光

素子。

(3) 前記活性層、前記クラッド層のうち少なくとも前記活性層が互いに禁止帯幅の異なる薄膜を複数積層した超格子構造で構成されていることを特徴とする特許請求の範囲第1項ないし第2項記載の半導体発光素子。

(4) 前記第1の障壁層を構成する半導体は、 $Cd_{1-u}Zn_uSi_{1-v-v'}Se_vTe_{w'}$  ( $0 \leq u \leq 1$ ,  $0 \leq v \leq 1$ ,  $0 \leq w' \leq 1$ ) であることを特徴とする特許請求の範囲第1項ないし第2項記載の半導体発光素子。

(5) 前記第2の障壁層を構成する半導体は、 $Cd_{1-u}Zn_uSi_{1-v-v'}Se_vTe_{w'}$  ( $0 \leq u \leq 1$ ,  $0 \leq v' \leq 1$ ,  $0 \leq w' \leq 1$ ) であることを特徴とする特許請求の範囲第1項ないし第2項記載の半導体発光素子。

(6) 前記活性層を構成する半導体は、 $Cd_{1-x}Zn_xSi_{1-y-y'}Se_yTe_{z'}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z' \leq 1$ )、前記クラッド層を構成する半導体は、 $Cd_{1-p}Zn_pSi_{1-q-q'}Se_qTe_{r'}$  ( $0 \leq p \leq 1$ ,

$0 \leq q \leq 1$ 、 $0 \leq r \leq 1$ )であることを特徴とする特許請求の範囲第1項ないし第2項記載の半導体発光素子。

(7) 前記基板を構成する半導体が、GaAs、GaP、InP、Si、Ge、ZnSeまたはGaAsP 混晶であることを特徴とする特許請求の範囲第1項ないし第2項記載の半導体発光素子。

(8) 前記活性層を構成する半導体は、 $Cd_{1-x}Zn_xS_{1-y-z}Se_yTe_z$  ( $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ ) 及び  $Cd_{1-x}Zn_xS_{1-y-z}Se_yTe_z$  ( $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ ) からなる超格子構造であることを特徴とする特許請求の範囲第3項記載の半導体発光素子。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は、電流注入型の半導体発光素子にかわり、特に青色の短波長の光を発光する短波長帯の半導体発光素子に関するものである。

#### (従来の技術)

レーザ・ディスクやレーザ・プリンタなどに見

GaAs、GaP、InP、Siについても、参考のため示した。半導体デバイスでは基板と成長層の格子定数はほぼ同じことが望ましい。一方、レーザや高出力発光ダイオードに用いられる2重ヘテロ構造については、キャリア閉じ込めを有効に行うため、エネルギー・バンド図において活性層の伝導帯下端はクラッド層の伝導帯下端より下に、また活性層の価電子帯上端はクラッド層の価電子帯上端より上にあることが必要である。

しかしながら、例えばGaAsを基板として、これにほぼ格子整合するCdZnSSe系4元混晶を考えた時、禁止帯幅の小さい組成程、電子親和力は小さいため、エネルギー・バンド図上では第2図に示すように、活性層の伝導帯下端Aがクラッド層の伝導帯下端Bの上に来る。このため、2重ヘテロ構造レーザを作製しても、電子の閉じ込めが出来ず、したがって、発光しきい値が大きくなったり、発光ダイオードの効率が悪いなどの問題があった。

(発明が解決しようとする課題)

られるように、近年光情報分野の進展にはめざましいものがある。こうした分野では、光源として赤色の半導体レーザが使用されているが、大容量記録、高速読出、高速印刷等に対応するためには、高出力化に加えてレーザの短波長化が必要とされている。このため半導体レーザの短波長化の研究も進んでいるが、青色波長域の半導体レーザは実現していない。一方、各種表示装置に用いられている発光ダイオードをフルカラー表示素子として利用するためには、現在実用となっている赤色、緑色に加えて、青色の発光ダイオードが必要となるが、現在実用となるものはできていない。

短波長帯、特に青色の発光装置に用いられる半導体は、禁止帯幅の制約などからZnS、ZnSe、ZnTe、CdSなどのII-VI族化合物半導体が最も有望と考えられる。第1図は、ZnS、ZnSe、ZnTeおよびその混晶系の禁止帯幅と格子定数の関係を示したものである(但し、CdSは通常では六方晶系をとるが、CdSを含む混晶では立方晶系を取り得るので、立方晶系に換算した格子定数で示した)。

従って、従来技術においては、II、VI族元素(Cd、Zn、S、Se、Teなど)を用いたヘテロ構造発光素子で、活性層およびクラッド層が基板とほぼ格子整合し、かつ活性層にキャリアを有効に閉じ込められる、高効率のデバイスは得られなかった。

本発明の目的は、上述した従来技術の問題点を解決するためになされたもので、新たな層構造を導入することにより、基板との格子整合条件を満足しつつ、十分に注入キャリア閉じ込めができ、発光効率の大なる半導体発光素子を提供することにある。

#### (課題を解決するための手段)

本発明の第1の特徴は、活性層の両側に、当該活性層の禁止帯幅より大なる禁止帯幅を有し、かつ互いに導電形の異なる半導体によるクラッド層が形成された半導体発光素子において、前記活性層と少なくとも一方の前記クラッド層との境界に、前記活性層の電子親和力より小なる電子親和力を有し、かつ厚さが前記活性層の層厚よりも薄

い半導体よりなる第1の障壁層が配置されて構成したことにある。

本発明の第2の特徴は、第1の特徴に加え、前記活性層と他方の前記クラッド層との境界に、該クラッド層の禁止帯幅と電子親和力の和より大なる禁止帯幅と電子親和力の和を有し、かつ厚さが前記活性層の層厚よりも薄い半導体よりなる第2の障壁層が配置されて構成したことにある。

以下に、図面を用いて本発明を詳細に説明する。

#### (実施例1)

第3図は、本発明による層構造を有する発光素子の断面を示したもので、1はn-GaAs基板、2はn-Cd<sub>0.99</sub>Zn<sub>0.01</sub>Se<sub>0.99</sub>よりなるn形クラッド層で厚さ約2μm、4はCd<sub>0.99</sub>Zn<sub>0.01</sub>Se<sub>0.99</sub>よりなる活性層で厚さ約0.1μm、5はCd<sub>0.99</sub>Zn<sub>0.01</sub>Se<sub>0.99</sub>よりなる第1の障壁層で厚さ約100オングストローム、6はp-Cd<sub>0.99</sub>Zn<sub>0.01</sub>Se<sub>0.99</sub>よりなるp形クラッド層で厚さ約2μm、7は絶縁膜、8、9は電極であ

る。

半導体層構造は、有機金属気相成長法(MOVPE)を用いて作製した。また、図中のn形クラッド層2はI(沃素)を、p形クラッド層6はLi(リチウム)をドーピングすることにより、 $10^{18}\text{cm}^{-3}$ 以上のキャリア濃度が得られた。その後、通常のプロセス工程により絶縁膜7および電極8、9等を形成した。

この構造では、基板1、クラッド層2及び6、活性層4及び第1の障壁層5の格子定数はほぼ整合している。本発明の特徴である第1の障壁層5は、層厚を活性層4よりも極めて薄く(約150オングストローム以下)して、正孔が第1の障壁層5に存在する確率を小さくするように構成されている。

次に、本発明の特徴をエネルギーバンド構造等を用いて説明する。第4図(a)は本発明の層構造図、同図(b)は電極8、9に電圧を印加した時のエネルギーバンド構造図、同図(c)は電圧を印加しない時の各半導体のエネルギー準位図をそれぞ

れ示す。第4図(c)に示すように、ヘテロ接合部において電子親和力 $E_a$ の差により伝導帯の下端は活性層4の方が上にくる。しかし、本発明では活性層4とp側クラッド層6との間(ヘテロ接合部)に電子親和力 $E_a$ が活性層4の電子親和力 $E_{a4}$ よりも小さい電子親和力 $E_{a5}$ の第1の障壁層5を導入することにより、活性層4に注入された電子がp側クラッド層6へオーバーフローしてしまうのを防ぐことができ、活性層4への電子閉じ込めが可能となる。このため、青色波長帯(この例では波長0.45μm帯)の高効率・高信頼な注入形半導体発光素子が実現できる。なお、第1の障壁層5の電子親和力 $E_{a5}$ は小さいものの、禁止帯幅 $E_g$ も一番小さいため、電子-正孔再結合がこの障壁層5で起きる可能性もあるが、電子はここには閉じ込められないので、ここでの電子-正孔再結合確率は小さい。

本発明は、第4図(c)から明らかなように、禁止帯幅 $E_g$ の大きさをクラッド層2、6の禁止帯幅 $E_{g2}$ 、 $E_{g6}$ >活性層4の禁止帯幅 $E_{g4}$ >第1の障壁

層5の禁止帯幅 $E_{g5}$ となるようにし、かつ電子親和力 $E_a$ の大きさをクラッド層2、6の電子親和力 $E_{a2}$ 、 $E_{a6}$ >活性層4の電子親和力 $E_{a4}$ >第1の障壁層5の電子親和力 $E_{a5}$ となるように半導体層構造にしたものである。ただし、第1の障壁層5の禁止帯幅 $E_{g5}$ は、活性層4の禁止帯幅 $E_{g4}$ よりも大きいほうが理想的に好ましいが、Zn-Cd-S-Se系では格子整合がとれ、かつ電子親和力の条件も満足するような半導体層を実現できない。

(実施例2) 第5図は、本発明による第2の実施例であり、半導体発光素子の層構造断面図である。以下では、実施例1と異なる点のみを詳説する。

実施例2は、実施例1の構造に加え、n形クラッド層2と活性層4との間に第2の障壁層3を挿入して、正孔がn形クラッド層2へのオーバーフローを抑圧したものである。即ち、n-Cd<sub>0.99</sub>Zn<sub>0.01</sub>Se<sub>0.99</sub>よりなり、かつ層厚が約2μmのn形クラッド層2とCd<sub>0.99</sub>Zn<sub>0.01</sub>Se<sub>0.99</sub>よりなり、かつ厚さが約0.1μmの活性層

4との間に、 $\text{Cd}_{1-x}\text{Zn}_x\text{S}$ よりなり、かつ厚さが約100 オングストロームの第2の障壁層3を新たに設けたものである。なお、第2の障壁層3の層厚は、第1の障壁層5の層厚と同様に活性層4の層厚よりも極めて薄く（約150 オングストローム以下）して、電子が第2の障壁層3に存在する確率を小さくなるように構成する必要がある。

次に、本発明の特徴をエネルギーバンド構造等を用いて説明する。第6図(a)は本発明の層構造図、同図(b)は電圧8、9に電圧を印加した時のエネルギーバンド構造図、同図(c)は電圧を印加しない時の各半導体のエネルギー単位図をそれぞれ示す。第6図(c)に示すように、禁止帯幅 $E_g$ の大きさを第2の障壁層3の禁止帯幅 $E_{g3} >$ クラッド層2、6の禁止帯幅 $E_{g2}$ 、 $E_{g6} >$ 活性層4の禁止帯幅 $E_{g4} >$ 第1の障壁層5の禁止帯幅 $E_{g5}$ となるようにし、かつ電子親和力 $E_a$ の大きさをクラッド層2、6の電子親和力 $E_{a2}$ 、 $E_{a6} >$ 活性層4の電子親和力 $E_{a4} >$ 第2の障壁層3の電子親和力 $E_{a3} >$ 第1の障壁層5の電子親和力 $E_{a5}$ となるように半

導体層構造にしたものである。また、第2の障壁層3とn側クラッド層2との関係は、（第2の障壁層3の禁止帯幅 $E_{g3} +$ 第2の障壁層3の電子親和力 $E_{a3}$ ） $>$ （クラッド層2の禁止帯幅 $E_{g2} +$ クラッド層2の電子親和力 $E_{a2}$ ）となるようにして、キャリアが活性層4に十分閉じ込めるようにしてある。

#### (実施例3)

実施例1および実施例2では活性層4がバルクの半導体であったが、活性層4またはクラッド層2(6)もしくはその両方とも、厚さ300 オングストローム以下の組成の異なる超薄膜を多層積層した膜であってもよい。

第7図は、本発明による第3の実施例であり、活性層10のみを超格子構造にしたもので、例えば、活性層10の量子井戸層11を $\text{Cd}_{1-x}\text{Zn}_x\text{Si}_{1-y-z}\text{Se}_y\text{Te}_z$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ )とし、障壁層12を $\text{Cd}_{1-x'}\text{Zn}_{x'}\text{Si}_{1-y'-z'}\text{Se}_y'\text{Te}_{z'}$  ( $0 \leq x' \leq 1$ ,  $0 \leq y' \leq 1$ ,  $0 \leq z' \leq 1$ )とする超格子構造にすれば良い。

また、図示しないが、クラッド層2(6)を超格子構造にする場合には、クラッド層2(6)の量子井戸層を $\text{Cd}_{1-p}\text{Zn}_p\text{Si}_{1-q-r}\text{Se}_q\text{Te}_r$  ( $0 \leq p \leq 1$ ,  $0 \leq q \leq 1$ ,  $0 \leq r \leq 1$ )とし、障壁層を $\text{Cd}_{1-p'}\text{Zn}_{p'}\text{Si}_{1-q'-r'}\text{Se}_q'\text{Te}_{r'}$  ( $0 \leq p' \leq 1$ ,  $0 \leq q' \leq 1$ ,  $0 \leq r' \leq 1$ )とすれば良い。

こうした超格子構造を採用した場合、バルクに比べてCdを多く含む組成でも、Zincblende構造が保たれ易いという傾向があり、このためバルクより結晶構造が安定する。更に、クラッド層2、6を超格子層とした場合、基板との界面の超格子層が基板からの不純物原子の拡散を防ぐ機能を果たすことが期待される。例えば、Si、Ga、As或いはPの拡散が防止される。また活性層4が超格子層の場合、量子井戸レーザとしての特性を示すことは言うまでもなく、閾値電流が小さい、温度特性が良い等の利点がある。

上述の実施例1、2及び3では、GaAsを基板1とし、活性層4・クラッド層2、6に関し、1組の組成について示したが、本発明はこの組成だけ

に限らない。活性層4の組成を $\text{Cd}_{1-x}\text{Zn}_x\text{Si}_{1-y-z}\text{Se}_y\text{Te}_z$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ )、クラッド層2、6の組成を $\text{Cd}_{1-p}\text{Zn}_p\text{Si}_{1-q-r}\text{Se}_q\text{Te}_r$  ( $0 \leq p \leq 1$ ,  $0 \leq q \leq 1$ ,  $0 \leq r \leq 1$ )、第1の障壁層5の組成を $\text{Cd}_{1-u}\text{Zn}_u\text{Si}_{1-v-w}\text{Se}_v\text{Te}_w$  ( $0 \leq u \leq 1$ ,  $0 \leq v \leq 1$ ,  $0 \leq w \leq 1$ )、第2の障壁層3の組成を $\text{Cd}_{1-u'}\text{Zn}_{u'}\text{Si}_{1-v'-w'}\text{Se}_v'\text{Te}_{w'}$  ( $0 \leq u' \leq 1$ ,  $0 \leq v' \leq 1$ ,  $0 \leq w' \leq 1$ )とし、これらが基板1とほぼ格子整合すると共に、活性層4、第1の障壁層5および第2の障壁層3、クラッド層2、6の半導体の禁止帯幅 $E_g$ をそれぞれ $E_{g4}$ 、 $E_{g5}$ 、 $E_{g3}$ 、 $E_{g2}$ 、 $E_{g6}$ とした時、 $E_{g4} < E_{g5} < E_{g3}$ 、 $E_{g2} < E_{g6}$ を満足するように各層の組成を選び、更に電子や正孔が第1の障壁層5及び第2の障壁層内に存在する確率を十分小さくなるようにするために、第1の障壁層5および第2の障壁層3の厚さを150 オングストローム以下にすればよい。

なお、上述の説明において、各組成比( $x$ ,  $y$ ,  $z$ ,  $p$ ,  $q$ ,  $r$ ,  $u$ ,  $v$ ,  $w$ ,  $x'$ ,  $y'$ ,  $z'$ ,  $p'$ ,  $q'$ ,  $r'$ ,  $u'$ ,  $v'$ ,  $w'$ )

す')は本発明の特徴である格子整合及び電子親和力等を考慮して決定し、具体的には3元以上の化合物半導体層となるように選択する。

また、上述の説明では、n形基板1を想定しているが、もちろんp形基板を使用し、クラッド層2、6の伝導形を逆にした構造でも問題無い。n形ドーパントとしては、Br、C、A、Ga、Inなどを用いてもよく、p形ドーパントとしては、Na、K、P、As、Sbなどを用いてもよい。さらに、基板1を構成する半導体が、GaAs、GaP、InP、Si、Ge、ZnSeまたはGaAsP混晶を用いても、活性層4及びクラッド層2(6)と格子整合をとることができる。

本発明はレーザでも発光ダイオードでも適用可能である。レーザの場合には、埋め込み構造をはじめ各種の横モード制御構造に適用可能である。分布帰還形または分布ブラッグ反射形のレーザにも応用できる。

#### (発明の効果)

以上のように、本発明によれば、II-VI族化合

物半導体、特にCdZnSSeTe系を用いた2重ヘテロ構造を有する発光素子において、活性層4とクラッド層6とのヘテロ接合部の境界に、活性層4の電子親和力 $E_e$ より小なる電子親和力 $E_{e'}$ を有し、かつ厚さが活性層4の層厚よりも薄い半導体よりなる第1の障壁層5を備えることにより、活性層4に注入された電子がp側クラッド層6へオーバーフローしてしまうことを抑圧することができ、活性層4への電子の閉じ込めが可能となるため、青色波長域の動作が可能な半導体発光素子を実現することができる。

第1の障壁層5に加え、活性層4と他方のクラッド層2との境界に、クラッド層2の禁止帯幅 $E_g$ と電子親和力 $E_{e'}$ との和より大なる禁止帯幅 $E_{g'}$ と電子親和力 $E_{e'}$ との和を有し、かつ厚さが活性層4の層厚よりも薄い半導体よりなる第2の障壁層3を備えることにより、正孔がn側クラッド層2へオーバーフローすることを防止することができる。

活性層4、クラッド層2及び6のうち少なくとも

基板1を構成する半導体が、GaAs、GaP、InP、Si、Ge、ZnSeまたはGaAsP混晶であることにより、活性層4及びクラッド層2(6)と格子整合をとることができる。

活性層4を構成する半導体は、 $Cd_{1-x}Zn_xSi_{1-y-z}Se_yTe_z$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ ) 及び  $Cd_{1-x'}Zn_{x'}Si_{1-y'-z'}Se_{y'}Te_{z'}$  ( $0 \leq x' \leq 1$ ,  $0 \leq y' \leq 1$ ,  $0 \leq z' \leq 1$ ) からなる超格子構造であることにより、漏れ電流が小さく、かつ温度特性が良いレーザを実現できる。

このため、従来、半導体レーザ・ダイオードではできなかった、青色波長域の動作が実現されるようになり、また青色の高効率・高輝度発光ダイオードも得られるようになる。本発明が短波長帯発光素子の性能向上に寄与するところが大きく、民生用成いは情報処理機器用に広く利用され、その効果が極めて大である。

4. 図面の簡単な説明

第1図は、ZnS、ZnSe、ZnTeおよびその混晶系、ならびにGaAs、GaP、InP、Si、Geの禁止帯

第1の障壁層5を構成する半導体は、 $Cd_{1-u}Zn_uSi_{1-v-w}Se_vTe_w$  ( $0 \leq u \leq 1$ ,  $0 \leq v \leq 1$ ,  $0 \leq w \leq 1$ ) であることにより、活性層4に注入された電子がp側クラッド層6へオーバーフローしてしまうことを抑圧することができる。

第2の障壁層3を構成する半導体は、 $Cd_{1-u'}Zn_{u'}Si_{1-v'-w'}Se_{v'}Te_{w'}$  ( $0 \leq u' \leq 1$ ,  $0 \leq v' \leq 1$ ,  $0 \leq w' \leq 1$ ) であることにより、正孔がn側クラッド層2へオーバーフローすることを防止することができる。

活性層4を構成する半導体は、 $Cd_{1-x}Zn_xSi_{1-y-z}Se_yTe_z$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq z \leq 1$ )、クラッド層2(6)を構成する半導体は、 $Cd_{1-x'}Zn_{x'}Si_{1-y'-z'}Se_{y'}Te_{z'}$  ( $0 \leq x' \leq 1$ ,  $0 \leq y' \leq 1$ ,  $0 \leq z' \leq 1$ ) であることにより、短波長域の発光素子を構成することができる。

幅と格子定数との関係図、

第2図はGaAsに格子整合したCdZnSSe 4元系混合物を用いた従来の半導体発光素子による2重ヘテロ接合におけるエネルギー・バンド接続の模式図、

第3図は本発明による第1の障壁層を有する半導体発光素子の断面図、

第4図(a)は本発明の第1の実施例による層構造図、

第4図(b)は電極8、9に電圧を印加した時のエネルギーバンド構造図、

第4図(c)は電圧を印加しない時の各半導体のエネルギー準位図、

第5図は本発明による第1の障壁層及び第2の障壁層を有する半導体発光素子の断面図、

第6図(a)は本発明の第2の実施例による層構造図、

第6図(b)は電極8、9に電圧を印加した時のエネルギーバンド構造図、

第6図(c)は電圧を印加しない時の各半導体の

エネルギー準位図、

第7図は本発明の第3の実施例による半導体発光素子の断面図である。

1 ; n-GaAs基板、

2 ; n-Cd<sub>0.4</sub>Zn<sub>0.6</sub>Se<sub>0.4</sub>Se<sub>0.6</sub>よりなるn形クラッド層、

3 ; Cd<sub>0.4</sub>Zn<sub>0.6</sub>Sよりなる第2の障壁層、

4 ; Cd<sub>0.4</sub>Zn<sub>0.6</sub>Se<sub>0.4</sub>Se<sub>0.6</sub>よりなる活性層、

5 ; Cd<sub>0.4</sub>Zn<sub>0.6</sub>Se<sub>0.4</sub>Se<sub>0.6</sub>よりなる第1の障壁層、

6 ; p-Cd<sub>0.4</sub>Zn<sub>0.6</sub>Se<sub>0.4</sub>Se<sub>0.6</sub>よりなるp側クラッド層、

7 ; 絶縁膜、

8、9 ; 電極、

10 ; 超格子構造の活性層、 11 ; 量子井戸層、

12 ; 障壁層。

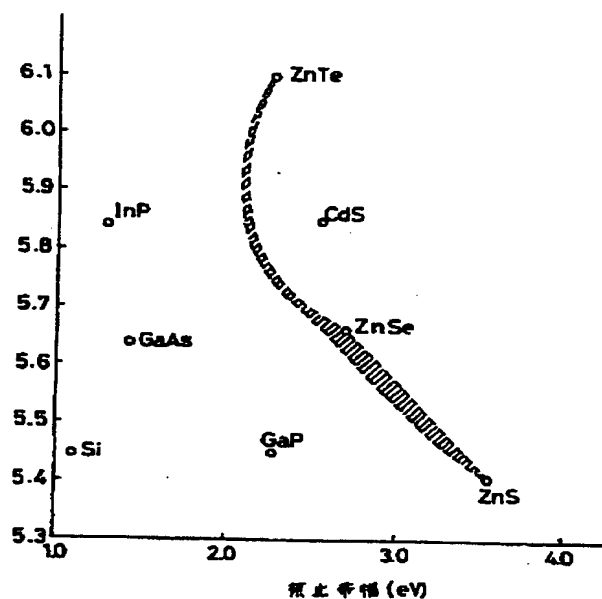
特許出願人

国際電信電話株式会社

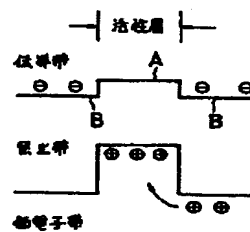
特許出願代理人

弁理士 山本 恵一

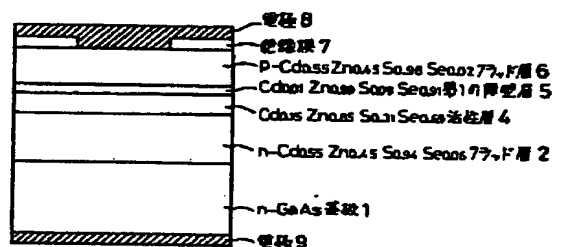
格子定数(A)



第1図

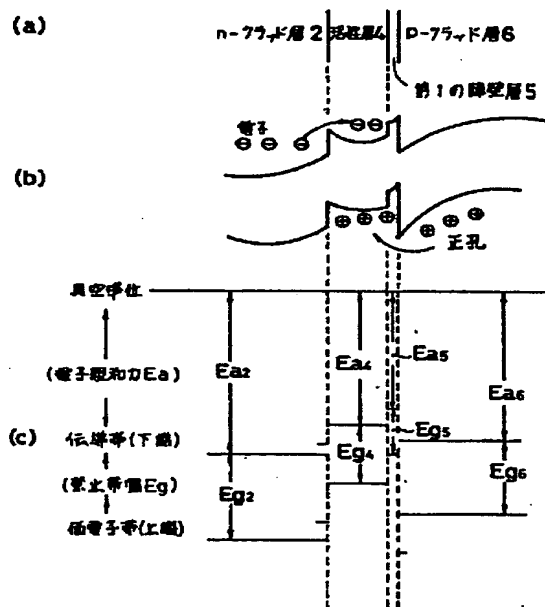


第2図

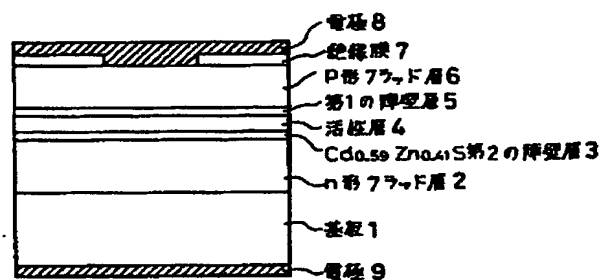


第3図

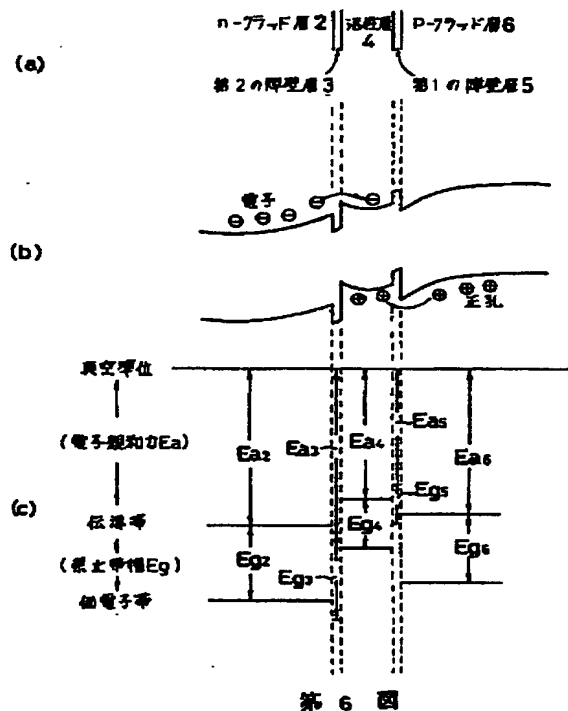




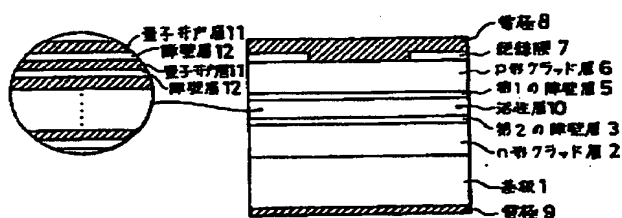
第4図



第5図



第6図



第7図